

Ser. 10/511, 720

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-300091

(43)Date of publication of application : 11.10.2002

(51)Int.Cl.

H04B 3/10

G06N 3/00

(21)Application number : 2001-100301

(71)Applicant : NATIONAL INSTITUTE OF
ADVANCED INDUSTRIAL &
TECHNOLOGY
HIGUCHI TETSUYA
ASAHI KASEI MICROSYSTEMS KK

(22)Date of filing : 30.03.2001

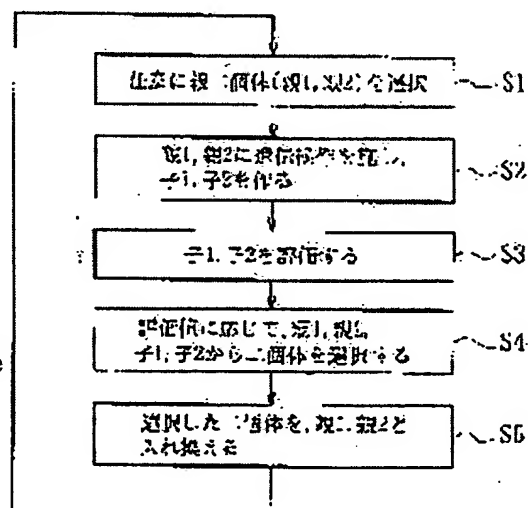
(72)Inventor : MURAKAWA MASAHIRO
KAJITANI ISAMU
HIGUCHI TETSUYA
KATO MASAHIKO

(54) ADJUSTMENT METHOD FOR EQUALIZING FILTER CIRCUIT FOR DIGITAL COMMUNICATION, AND EQUALIZING FILTER CIRCUIT FOR DIGITAL COMMUNICATION USED FOR EXECUTION OF THE ADJUSTMENT METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an adjustment method for an equalization filter circuit for digital communication with a compact circuit configuration able to be mounted on a small-sized LSI, that can efficiently adjust a plurality of adjustment points by means of a genetic algorithm.

SOLUTION: The adjustment method is characterized by that first a plurality of objects each having a chromosome connecting optional digital initial values corresponding to each adjustment value of a plurality of adjustment points are selected to obtain an object group, two optional objects in the object group are selected as parents, two children are generated by applying a genetic operation including a cross processing and a mutation processing to the parents every repetitive input of an equalization signal, two objects, which have higher evaluation of adaptation of the signal after the equalization with respect to the equalizing signal, are selected among the two parents and the two children, and the processing of replacing the two parents with the selected objects and returning them to the object group, are repeated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-300091
(P2002-300091A)

(43) 公開日 平成14年10月11日 (2002. 10. 11)

(51) Int.Cl.	識別記号	F I	テ-マ-コード (参考)
H 0 4 B 3/10		H 0 4 B 3/10	C 5 K 0 4 6
G 0 6 N 3/00	5 5 0	G 0 6 N 3/00	5 5 0 C

審査請求 未請求 請求項の数 6 O L (全 9 頁)

(21) 出願番号 特願2001-100301(P2001-100301)

(22) 出願日 平成13年3月30日 (2001. 3. 30)

(71) 出願人 301021533

独立行政法人産業技術総合研究所
東京都千代田区霞が関 1-3-1

(71) 出願人 597073531

樋口 哲也
茨城県つくば市梅園 1丁目1番1 中央第
2 独立行政法人産業技術総合研究所内

(71) 出願人 594021175

旭化成マイクロシステム株式会社
東京都新宿区西新宿三丁目7番1号

(74) 代理人 100072051

弁理士 杉村 興作 (外1名)

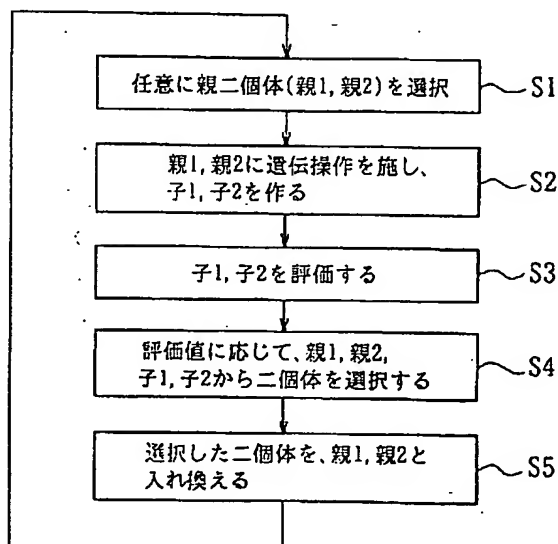
最終頁に続く

(54) 【発明の名称】 デジタル通信用等化フィルタ回路の調整方法およびその調整方法の実施に使用するデジタル通信用等化フィルタ回路

(57) 【要約】

【課題】 小型の L S I に搭載 (実装) 可能なコンパクトな回路構成のデジタル通信用等化フィルタ回路において遺伝的アルゴリズムによる複数の調整箇所の調整を効率的に行い得る等化フィルタ回路の調整方法を提供することにある。

【解決手段】 先ず、前記複数の調整箇所の各調整値に対応させたデジタル値の任意の初期値を繋げた染色体を持つ個体を複数準備して個体群とし、その後、前記個体群中の任意の二つの個体を親として、前記等化用信号が繰り返し入力される毎に、それらの親から交叉処理および突然変異処理を含む遺伝子操作によって二つの子を作り、それら二つの親と二つの子とのうちから前記等化用信号に対する前記等化後信号の適応度の評価が高い二つの個体を選択し、それら選択した個体で前記二つの親を置換して前記個体群に戻す、という処理を繰り返すことを特徴とするものである。



【特許請求の範囲】

【請求項1】 アナログフィルタと、アナログ-デジタルコンバータと、デジタルフィルタとを順次に接続されて具えるデジタル通信用等化フィルタ回路の、前記アナログフィルタおよびデジタルフィルタが有する複数の調整箇所を、デジタル通信前に通信回線から前記アナログフィルタに繰り返し入力される所定の等化用信号に基づいて前記デジタルフィルタが出力する等化後信号の適応度の評価が高まるように遺伝的アルゴリズムによって調整するに際し、

まず、前記複数の調整箇所の各調整値に対応させたデジタル値の任意の初期値を繋げた染色体を持つ個体を複数準備して個体群とし、

その後、前記個体群中の任意の二つの個体を親として、前記等化用信号が繰り返し入力される毎に、それらの親から交叉処理および突然変異処理を含む遺伝子操作によって二つの子を作り、それら二つの親と二つの子のうちから前記等化用信号に対する前記等化後信号の適応度の評価が高い二つの個体を選択し、それら選択した個体で前記二つの親を置換して前記個体群に戻す、という処理を繰り返すことを特徴とする、デジタル通信用等化フィルタ回路の調整方法。

【請求項2】 前記交叉処理では、前記染色体と同じ長さのランダムなビット列を作り、そのビット列に基づき前記染色体の各遺伝子座毎に前記二つの親同士で50%の確率で遺伝子の情報を交換することと特徴とする、請求項1記載のデジタル通信用等化フィルタ回路の調整方法。

【請求項3】 前記突然変異処理では、ビット列からなる所定の突然変異率と、前記ビット列と同数ビットのランダムなビット列との下位の一または複数ビット同士を比較して、突然変異率の方が大きく、かつ前記ランダムなビット列の残りの上位のビットに1がない場合に1を出力する、という処理を繰り返して、前記染色体と同じ長さのビット列からなる突然変異用マスクを二つ作り、前記交叉処理を行った二つの個体に対し、前記二つの突然変異用マスクでそれぞれ1が立っているビットに対応する染色体座のデータを反転させるように突然変異を生じさせることを特徴とする、請求項2記載のデジタル通信用等化フィルタ回路の調整方法。

【請求項4】 アナログフィルタと、アナログ-デジタルコンバータと、デジタルフィルタとを順次に接続されて具えるデジタル通信用等化フィルタ回路において、前記突然変異処理に用いられる突然変異率を保持する突然変異率レジスタと、前記個体群の複数の個体の染色体をそれらの染色体の適応度と対応させて記憶する染色体メモリと、前記二つの親の染色体をそれらの染色体の適応度と対応させて保持する二つの親レジスタと、前記二つの子の染色体をそれらの染色体の適応度と対応

させて保持する二つの子レジスタと、前記遺伝子操作に用いられる遺伝子操作回路と、前記二つの親の染色体の適応度を求めて前記親レジスタに保持させるとともに前記二つの子の染色体の適応度を求めて子レジスタに保持させる評価回路と、前記二つの親と二つの子のうちで適応度の評価が高い二つの個体を選択し、それら選択した個体で前記二つの親を置換する選択淘汰回路と、を具えてなる、請求項1から請求項3までの何れか記載の調整方法の実施に使用するデジタル通信用等化フィルタ回路。

【請求項5】 前記遺伝子操作回路は、前記ランダムなビット列を作る乱数発生器と、前記交叉処理を行う交叉回路と、前記突然変異用マスクを作るマスク生成回路と、前記突然変異処理を行う突然変異回路とを有することを特徴とする、請求項4記載のデジタル通信用等化フィルタ回路。

【請求項6】 前記デジタル通信用等化フィルタ回路は、ISDN用DSUに用いられるLSIに搭載されていることを特徴とする、請求項4または5記載のデジタル通信用等化フィルタ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、アナログフィルタと、アナログ-デジタルコンバータと、デジタルフィルタとを順次に接続されて具えるデジタル通信用等化フィルタ回路の、前記アナログフィルタおよびデジタルフィルタが有する複数の調整箇所を、デジタル通信前に通信回線から前記アナログフィルタに繰り返し入力される所定の等化用信号に基づいて前記デジタルフィルタが出力する等化後信号の適応度の評価が高まるように遺伝的アルゴリズムによって調整する際に用いて好適な、デジタル通信用等化フィルタ回路の調整方法および、その調整方法の実施に使用するデジタル通信用等化フィルタ回路に関するものである。

【0002】

【従来の技術および発明が解決しようとする課題】上述の如きデジタル通信用等化フィルタ回路としては、ISDN (Integrated Services Digital Network) 用のDSU (Digital Service Unit) に用いられる等化フィルタ回路があり、かかる等化フィルタ回路では、フィルタ係数を変化させる複数の調整箇所のオンライン調整を行う必要がある。また、かかる等化フィルタ回路は、LSI (大規模集積回路チップ) に搭載できることが望ましい。

【0003】ところで、電子回路のオンライン調整に遺伝的アルゴリズムを使用すると短時間で良好な調整を行い得るということは、本願出願人が先に特開2000-156627号公報にて開示している。しかしながら、一般的に電子回路のオンライン調整にあたっては、より

小さなLSIに実装するために、調整のための回路をコンパクトなものにする必要がある。よって、その調整回路に遺伝的アルゴリズム(GA)を用いるためには、GAの各遺伝子操作をコンパクトな回路で実現する必要がある。以下に、コンパクトな回路でGAを実現する場合の問題点を考察する。

【0004】従来のGAのハードウェア化の研究は、基本的に遺伝子操作の高速化のみを目的としており、よりコンパクトに実装するうえの問題点は論じられていない。そこでまず、GAの各遺伝子操作を小規模な回路として実現する時の問題点を考察し、この考察をもとに、本発明では、最もハードウェア化に適した遺伝子操作を提案する。

【0005】GAの各処理をハードウェア化するときの問題点として、まず、各個体の染色体を保存するためのメモリ(染色体メモリ)の大きさについて述べ、次に、選択処理と交叉処理のそれぞれについて考察する。

【0006】GAでは、一般に、遺伝子の個体数が大きいほど効率良く探索が行えるという特徴がある。しかしながら効率良く探索するために個体数を大きくすると、それに伴って、各個体の染色体を保存するために大きなメモリが必要になる。そのため、より回路を小さくするには、個体数は小さいほうがよい。従って、よりコンパクトに実装するには、個体数が小さくても効率良く探索を行うことが可能な方式が必要である。

【0007】またGAでは、評価値の大きい個体を選択し、それらの染色体に交叉処理と突然変異処理とを施して、より評価値の大きい個体を生成することで探索を行っており、その個体を選択する方式としては、「世代モデル」と「非世代モデル」との二つの方式がある。「世代モデル」では、全個体(N個体)の評価値を計算した後、評価値に応じてそこからN個の個体を選択する。ただし、評価値の大きい個体は複数回選択されることがある。それゆえ、選択したN個体の染色体を保存するために余分なメモリが必要とされる。つまり、世代モデルでは、選択前のN個体と選択後のN個体との合計2N個体の染色体を保存するためのメモリが必要となる。

【0008】これに対して「非世代モデル」では、一部の個体の評価値を計算し、評価値を計算した個体の間だけで選択処理を施す。例えば、4個体ずつ選択処理を行う場合は、まず、4つの個体の評価値をそれぞれ計算し、次に、それら4個体の中で評価値の大きい個体を選択する。そのため、選択した個体の染色体を、小さなメモリやレジスタに保存することができる。例えば、上に示した例では、4つの個体を保存するレジスタと、選択前のN個体の染色体を保存するメモリがあればよい。つまり、「非世代モデル」を用いると、N個体の染色体を保存するメモリと小さなレジスタだけが必要となるので、より小さく実装することが可能となる。

【0009】交叉処理は、二つの染色体の情報を組み換

える処理で、任意の一点(一点交叉)、あるいは複数点(多点交叉)で染色体を切断し、それらの前後で情報を組み換えるものであり、具体的には、染色体長を最大値とする乱数に応じて組み換える点(交叉点)を決定し、それらの交叉点の前後で染色体を組み換える。このため、交叉処理をハードウェアに実装するには、染色体長を最大値とする乱数を発生させる回路が必要である。しかしながら、ハードウェアに実装した乱数発生器はランダムなビット列しか作れないため、その最大値は 2^l に限定されてしまう。このため、任意の最大値の乱数を作るには正規化のための回路が必要となる。以上の考察から、交叉処理用の回路を小さく設計するには、任意の最大値の乱数を必要としない交叉方法が必要である。

【0010】これらの考察から、ハードウェア向きの遺伝子操作は、次の三つの条件のうち一つ以上を満たすことが望ましいという結論に、本願発明者は到達した。

1. 小さい個体数に対しても効率の良い探索手法
2. 非世代モデル
3. 任意の最大値の乱数を必要としない交叉方法

【0011】

【課題を解決するための手段およびその作用・効果】上記課題を有利に解決する、この発明のデジタル通信用等化フィルタ回路の調整方法は、アナログフィルタと、アナログ-デジタルコンバータと、デジタルフィルタとを順次に接続されて具えるデジタル通信用等化フィルタ回路の、前記アナログフィルタおよびデジタルフィルタが有する複数の調整箇所を、デジタル通信前に通信回線から前記アナログフィルタに繰り返し入力される所定の等化用信号に基づいて前記デジタルフィルタが出力する等化後信号の適応度の評価が高まるように遺伝的アルゴリズムによって調整するに際し、まず、前記複数の調整箇所の各調整値に対応させたデジタル値の任意の初期値を繋げた染色体を持つ個体を複数準備して個体群とし、その後、前記個体群中の任意の二つの個体を親として、前記等化用信号が繰り返し入力される毎に、それらの親から交叉処理および突然変異処理を含む遺伝子操作によって二つの子を作り、それら二つの親と二つの子のうちから前記等化用信号に対する前記等化後信号の適応度の評価が高い二つの個体を選択し、それら選択した個体で前記二つの親を置換して前記個体群に戻す、という処理を繰り返すことを特徴としている。

【0012】かかる方法によれば後述の如く、親と子の間だけで選択処理を施すので、少ない個体数でも多様性を維持でき、しかも「非世代モデル」を用いることから、染色体メモリと選択処理用レジスタとが何れも小さなものですむので、LSIに搭載した回路でオンライン調整を実行する場合に、そのLSIをコンパクトに構成することができる。

【0013】なお、前記交叉処理では、前記染色体と同じ長さのランダムなビット列を作り、そのビット列に基

づき前記染色体の各遺伝子座毎に前記二つの親同士で50%の確率で遺伝子の情報を交換することとしても良い。このようにすれば、染色体と同じ長さのランダムなビット列を用意するだけで足りるため、任意の最大値の乱数を必要としないので、交叉処理用の回路を小さく設計することができる。

【0014】また前記突然変異処理では、ビット列からなる所定の突然変異率と、前記ビット列と同数ビットのランダムなビット列との下位の一または複数ビット同士を比較して、突然変異率の方が大きく、かつ前記ランダムなビット列の残りの上位のビットに1がない場合に1を出力する、という処理を繰り返して、前記染色体と同じ長さのビット列からなる突然変異用マスクを二つ作り、前記交叉処理を行った二つの個体に対し、前記二つの突然変異用マスクでそれぞれ1が立っているビットに対応する染色体座のデータを反転させるように突然変異を生じさせることとしても良い。このようにすれば、突然変異処理用の回路も小さく設計することができる。

【0015】そして、前記調整方法の実施に使用するこの発明のデジタル通信用等化フィルタ回路は、アナログフィルタと、アナログ-デジタルコンバータと、デジタルフィルタとを順次に接続されて具えるデジタル通信用等化フィルタ回路において、前記突然変異処理に用いられる突然変異率を保持する突然変異率レジスタと、前記個体群の複数の個体の染色体をそれらの染色体の適応度と対応させて記憶する染色体メモリと、前記二つの親の染色体をそれらの染色体の適応度と対応させて保持する二つの親レジスタと、前記二つの子の染色体をそれらの染色体の適応度と対応させて保持する二つの子レジスタと、前記遺伝子操作に用いられる遺伝子操作回路と、前記二つの親の染色体の適応度を求めて前記親レジスタに保持させるとともに前記二つの子の染色体の適応度を求めて子レジスタに保持させる評価回路と、前記前記二つの親と二つの子とのうちで適応度の評価が高い二つの個体を選択し、それら選択した個体で前記二つの親を置換する選択淘汰回路と、を具えてなるものである。

【0016】かかるデジタル通信用等化フィルタ回路によれば、前記したこの発明の調整方法をコンパクトな回路構成で実施し得て、遺伝的アルゴリズムで適応調整を行うデジタル通信用等化フィルタ回路を実装したLSIをコンパクトなものとして行うことができる。

【0017】なお、前記遺伝子操作回路は、前記ランダムなビット列を作る乱数発生器と、前記交叉処理を行う交叉回路と、前記突然変異用マスクを作るマスク生成回路と、前記突然変異処理を行う突然変異回路とを有することとしても良い。

【0018】また、前記デジタル通信用等化フィルタ回路は、ISDN用DSUに用いられるLSIに搭載されていると、小さなLSIひいては安価なDSUを実現できるので好ましい。

【0019】

【発明の実施の形態】以下、本発明の好ましい実施形態を図面に基づき説明する。本発明では、先の三つの条件を満たすための遺伝操作として、MMG (Minimal Generation Gapモデル) と、UC (Uniform Crossover: 一様交叉) と、それらの組合せとを提案する。

【0020】MMGは、GAの各処理を簡単化し、かつ、小さい個体数でも効率良く探索し得る方式である。MMGは、非世代モデルで、図1に示すように、ステップS1で個体群中から任意に選択した二つの個体(親1, 親2)と、ステップS2でそれらの親に遺伝子操作を施して作った二つの個体(子1, 子2)との間だけで選択処理を施す。すなわちステップS3で子1, 2の適応度計算(評価)が完了した後、ステップS4で親個体1, 2と子個体1, 2の4個体のうち適応度の値が高い上位二つの個体を選び、ステップS5で親個体をそれら選択した二つの個体で置換する。なお、初期集団の個体すべては初めに評価を行い、適応度を定めておく。

【0021】MMGは、親と子の間だけで選択処理を施すので、少ない個体数でも多様性を維持でき、かつ、非世代モデルであるので、先に述べた三つの条件のうち1. の「小さい個体数に対しても効率の良い探索手法」と2. の「非世代モデル」とを満たしている。

【0022】また、UCは、染色体の各遺伝子座毎に50%の確率で遺伝子の情報を交換する方式である。この方式では、交叉位置を決定する必要がなく、染色体と同じ長さのランダムなビット列を用意すればよいので、先に述べた三つの条件のうち3. 「任意の最大値の乱数を必要としない交叉方法」という条件を満たしている。

【0023】このように、MMGとUCとを組み合わせれば、前述の三つの条件の全てを満たすことができる。

【0024】次に、上記MMGとUCとを高速で実行可能な回路の一例をFPGA(Field Programmable Gate Array)に実装してその回路規模と動作速度とを評価した結果を示す。FPGAに実装した回路は、図2に示すように、親の個体の染色体用の二つのレジスタ(80ビット)(親1, 親2)R1, R2と、子の個体の染色体用の二つのレジスタ(80ビット)(子1, 子2)R3, R4と、突然変異率用の一つのレジスタR5と、後述する遺伝子操作回路GCとからなる。

【0025】このFPGAに実装した回路によれば、親の染色体用の二つのレジスタR1, R2に80ビット単位で染色体を書き込むことで、それらに対して遺伝子操作が施されて子の染色体(80ビット)が二つでき、それらが子の染色体用の二つのレジスタR3, R4に出力される。

【0026】遺伝子操作回路は、図3に示すように、交叉回路CC、突然変異回路MC、突然変異用マスク生成回路MD、そして乱数発生器RGの4つからなる。

【0027】交叉回路CCは、図4に示すように、乱

数発生器RGから80ビットのランダムなビット列を受け取り、1が立っているビットで、親の染色体の情報を交換し、二つのビット列(C1, C2)を作る。このビット列(C1, C2)は、突然変異用回路MCで突然変異処理を施される。乱数発生器RGには、従来のGAのハードウェア化の研究で最も多く用いられているセルオートマトンによる乱数発生器を用いる。

【0028】突然変異用回路MCは、図5に示すように、突然変異用マスク生成回路MDから80ビットのビット列(突然変異用マスク)二つ(M1, M2)を受け取り、それぞれ、交叉用回路CCで作ったビット列(C1, C2)とビット毎のXORをとる。つまり、M1, M2のうち1が立っているビットで突然変異を生じさせる(1が立っているビットに対応する染色体座のデータを反転させ、0を1に、1を0にする)。

【0029】突然変異用マスク生成回路MDは、図6に示すように、80ビットの各々について乱数と突然変異率とを比較することで、各ビット毎に突然変異を施すかどうか決定し、突然変異用のマスク(M1, M2)を作る。一般的には、突然変異率(8ビット)と乱数(8ビット)とを各ビット毎に比較する必要があるため、8ビットの比較回路が必要となる。しかし、8ビットの比較回路は大きいので、突然変異率の性質を考慮して、この実施形態では次に示す方法を用いて回路を小さくする。

【0030】突然変異率は、その値が大きいと探索がランダムサーチに近くなってしまうため、あまり大きい値を採用することはない。つまり、突然変異率の上位ビットは常に0であることが多い。そこでここでは、突然変異率の上位ビットを0に固定し、下位の2ビットだけを有効とすることにする。具体的には、図6に示すように、乱数の下位2ビットだけを比較し、上位6ビットに1がある場合は、突然変異率より大きいと判断する。

【0031】この方式は、8ビットの比較回路が必要でなく、2ビットの比較回路と6ビットの論理和だけで実現可能であるので、回路を小さくすることができる。

【0032】上記実装した回路(図2参照)は、XC4025(25000ゲート相当)のCLB(Configurable Logic Block)の65%(最大1024個中668個)しか使用していない。使用CLBの数から正確なゲート数を計算することはできないが、16250ゲート(25000ゲートの65%)~25000ゲート程度の大きさである。

【0033】また、上記実装した回路では、親1、親2のレジスタから、子1、子2のレジスタまでの遅延は46.3[n s]であった。これに対して、同じ処理をサン・マイクロシステムズ社製のいわゆるワークステーション型コンピュータ(商標名)Ultra Sparc II(CPU動作速度200MHz)によりソフトウェアで実行すると約3750[n s]必要であるので、実装した回路は、約80倍高速に遺伝子操作を実行することができる

ことが判明した。

【0034】

【実施例】次に、本発明の一実施例としての、ISDN用DSUに用いられるLSIに搭載されるデジタル通信等化フィルタ回路について、図面に基づき説明する。図7は、その実施例のデジタル通信等化フィルタ回路を示し、この等化フィルタ回路は、アナログフィルタ回路AFと、アナログーデジタルコンバータ回路ADCと、デジタルフィルタ回路DFとを順次に接続されて具えるとともに、アナログーデジタルコンバータ回路ADCとデジタルフィルタ回路DFとの同期をとるフェーズロックループ(PLL)回路PLCを具え、さらに、それらアナログフィルタ回路AFとデジタルフィルタ回路DFとを同時に調整する遺伝的アルゴリズム処理回路GACを具えている。

【0035】ここにおける遺伝的アルゴリズム処理回路GACは、図7に示すようにデジタルフィルタ回路DFからデジタルデータを受け取って、そのデジタルデータに基づき、通常のアナログフィルタを構成する上記アナログフィルタ回路AF内に設けられて√f等化用に、その濾波周波数特性を決めるフィルタ係数を変化させる調整箇所としての3つのプログラマブルゲインアンプ(PGA)にそれぞれ対応させてそれらの作動調整用の8ビットのデジタル値からなる3つの調整値を供給すると同時に、図8に示す如き通常の7段のFIRフィルタを構成する上記デジタルフィルタ回路DFのブリッジタップ等化用に、そのフィルタ係数を変化させる調整箇所としての各段の調整部の作動調整用の8ビットのデジタル値からなる7つのゲイン調整値a2~a8をそれぞれ供給して、それら二種類のフィルタ回路AF, DFを同時に調整するものである。これにより、ここでの遺伝的アルゴリズムにおける遺伝子は8ビット×10個で80ビットの染色体を持つ。なお、図8中a1は一定ゲイン値である。

【0036】具体的には、この実施例では、日本のISDNの特徴であるビツボン方式という伝送方式において電話局からプロトコルとしてDSUに送られてくる最初のトレーニングシーケンスを利用して、遺伝的アルゴリズムにより上記実施例の等化フィルタ回路の、線路の反射成分やノイズの除去機能の最適化を行う。

【0037】図9は、そのトレーニングシーケンスにおいて繰り返されるバーストパターンを示し、また図10(a)、(b)は、そのバーストパターンにおける何れも377ビット(16+8×45+1=377)の2種類のトレーニングパターンを示す。なお、「M」は1と0とが交替し、「P」はパリティビットを示す。

【0038】システムの起動時間は通常250ms、最悪300ms以内と規定されているので、線路等化(等化フィルタ回路の最適化)のためのパラメータ決定に用いるトレーニングシーケンスは100ms以内に終わ

るのが望ましい。しかし上記バーストパターンは2.5msで繰り返されるから、100msでも40回、上記トレーニングパターンを用いての調整を行うことができる。そしてその調整は、377ビット全体を使用して40回行っても良く、また、各回の8ビット×45回を使用して40×45=1800回行うようにしても良い。

【0039】図11は、上記遺伝的アルゴリズム処理回路GACを示す構成図であり、ここにおける遺伝的アルゴリズム処理回路GACは、デジタルフィルタ回路DFから上記トレーニングパターンの等化後データを受け取って、あらかじめ保持した所定のトレーニングデータと比較し、適応度としての正答数（あるいは誤答数）を出力する比較回路CPCと、20～50個体程度の個体群を、各個体の染色体とその適応度とを対応させて記憶する染色体メモリGMと、図示しない通常の乱数発生器とを具えている。

【0040】加えて、ここにおける遺伝的アルゴリズム処理回路GACは、図2に示す回路と同様にして、あらかじめ与えられた突然変異率をレジスタR5に保存するとともに、染色体メモリGMから取り出した二つの親個体の染色体と遺伝子操作で作られた二つの子個体の遺伝子とを四つのレジスタR1～R4に保存し、さらに、それら二つの親個体と二つの子個体との間で適応度を比較して適応度の高い二つの個体を親個体として染色体メモリGMに戻し、トレーニングシーケンス後に染色体の80ビットのデータを8ビット×3と8ビット×7とに分けて上記アナログフィルタ回路AFと上記デジタルフィルタ回路DFとにそれぞれ供給する選択淘汰回路SCと、図3に示す回路と同様にして、選択淘汰回路SCから供給された二つの親個体の染色体にこれも選択淘汰回路SCから供給された突然変異率に基づき遺伝子操作処理を行って二つの子個体を作り、それらの遺伝子を選択淘汰回路SCに供給する遺伝子操作回路GCとを具えている。

【0041】図12は、この実施例のデジタル通信用等化フィルタ回路における、選択淘汰回路SCの作動を中心とした遺伝的アルゴリズム処理回路GACの作動を示すフローチャートであり、ここではまず、ステップS11で、乱数発生器が発生させた乱数によって任意に二つの親（親個体）1、2の識別番号を決定し、次のステップS12で、それらの識別番号に対応する二つの親1、2の染色体データを染色体メモリGMから取ってきてレジスタR1、R2に保存し、続くステップS13で、それら二つの親1、2の染色体データを遺伝子操作回路GCにセットする。

【0042】次いで、ステップS14で、遺伝子操作回路GCが上述の如くして交叉処理および突然変異処理を行って上記二つの親1、2から作った二つの子（子個体）の染色体データを遺伝子操作回路GCから取り出

し、次のステップS15で、まず子1について、その染色体データをアナログおよびデジタルフィルタ回路AF、DFにセットし、トレーニングデータをアナログおよびデジタルフィルタ回路AF、DFで等化（イコライズ）し、その等化後のデジタルデータの正答数（あるいは誤答数）を比較回路CPCで求め、子1の適応度を決定してレジスタR3に保存する。そして続くステップS16では、子2について、子1と同様にして適応度を決定してレジスタR4に保存する。

【0043】次いで、ステップS17で、二つの親と二つの子との4個体のうち適応度が上位の（正答数が多いか、もしくは誤答数が少ない）2個体を選択し、続くステップS18で、それら上位二つの個体の染色体データを染色体メモリGMの、ステップS11で決定した識別番号の親1、2の位置に書き込む。そして続くステップS19で、例えば適応度が所定値を超えた、あるいはトレーニングシーケンスが終了した等の、所定の終了条件を具備したか否かを判定する終了判定を論理回路で行い、終了条件を具備していない場合にはステップS20からステップS11へ戻って上記処理を繰り返し、一方、終了条件を具備している場合にはステップS20から図示しない終了処理へ進んで、染色体メモリGM中の、最終的に適応度が最も高かった個体の染色体データをアナログおよびデジタルフィルタ回路AF、DFにセットし、最適化処理を終了する。

【0044】かくしてこの実施例のデジタル通信用等化フィルタ回路およびそれが実行する調整方法によれば、親と子の間だけで選択処理を施すので、少ない個体数でも多様性を維持でき、しかも「非世代モデル」を用いることから、染色体メモリと選択処理用レジスタとが何れも小さなものであるため、LSIに実装する場合に、そのLSIをコンパクトに構成することができる。

【0045】しかもこの実施例のデジタル通信用等化フィルタ回路およびそれが実行する調整方法によれば、交叉処理で、染色体と同じ長さのランダムなビット列を作り、そのビット列に基づき染色体の各遺伝子座毎に二つの親同士で50%の確率で遺伝子の情報を交換することから、染色体と同じ長さのランダムなビット列を用意するだけで足りるため、任意の最大値の乱数を必要としないので、交叉処理用の回路を小さく設計することができる。

【0046】さらにこの実施例のデジタル通信用等化フィルタ回路およびそれが実行する調整方法によれば、突然変異処理で、ビット列からなる所定の突然変異率と、そのビット列に同じ長さのランダムなビット列との下位の一または数ビット同士を比較して、突然変異率の方が大きく、かつ前記ランダムなビット列の残りの上位のビットに1がない場合に1を出力する、という処理を繰り返して、染色体と同じ長さのビット列からなる突然変異用マスクを作り、上記交叉処理を行った二つの

個体に対し、二つの突然変異用マスクでそれぞれ1が立っているビットに対応する染色体座のデータを反転させるように突然変異を生じさせるので、突然変異処理用の回路も小さく設計することができる。

【0047】そしてこの実施例のデジタル通信用等化フィルタ回路は、ISDN用DSUに用いられるLSIに実装されるので、小さなLSIにおいては安価なDSUを実現することができる。

【0048】以上、図示例に基づき説明したが、この発明は上述の例に限定されるものでなく、ISDN用DSU以外の用途にも適用し得ることはいうまでもない。

【図面の簡単な説明】

【図1】 本発明のデジタル通信用等化フィルタ回路の調整方法の好ましい実施形態を示すフローチャートである。

【図2】 上記実施形態の調整方法の実施に使用するデジタル通信用等化フィルタ回路の一例を示す構成図である。

【図3】 上記例の等化フィルタ回路における遺伝子操作回路の一例を示す構成図である。

【図4】 上記例の遺伝子操作回路における交叉処理回路の一例を示す構成図である。

【図5】 上記例の遺伝子操作回路における突然変異処理回路の一例を示す構成図である。

【図6】 上記例の遺伝子操作回路における突然変異用マスク生成回路の一例を示す構成図である。

【図7】 上記実施形態の調整方法の実施に使用するデジタル通信用等化フィルタ回路の具体的な一実施例としての、ISDN用DSUに用いられるLSIに搭載されるデジタル通信用等化フィルタ回路を示す構成図である。

* 【図8】 上記実施例の等化フィルタ回路におけるデジタルフィルタ回路の構成を示す説明図である。

【図9】 電話局からDSUに送られてくる最初のトレーニングシーケンスにおいて繰り返されるバーストパターンを示すタイムチャートである。

【図10】 (a)、(b)は、そのバーストパターンにおける何れも377ビットの2種類のトレーニングパターンを示す説明図である。

【図11】 上記実施例の等化フィルタ回路における遺伝的アルゴリズム処理回路を示す構成図である。

【図12】 上記実施例のデジタル通信用等化フィルタ回路における、交叉処理回路の作動を中心とした遺伝的アルゴリズム処理回路の作動を示すフローチャートである。

【符号の説明】

a1 一定ゲイン値

a2～a8 ゲイン調整値

R1～R5 レジスタ

A F アナログフィルタ回路

20 C C 交叉処理回路

D F デジタルフィルタ回路

G C 遺伝子操作回路

G M 染色体マトリ

M C 突然変異処理回路

M D 突然変異用マスク生成回路

R G 乱数発生回路

S C 選択処理回路

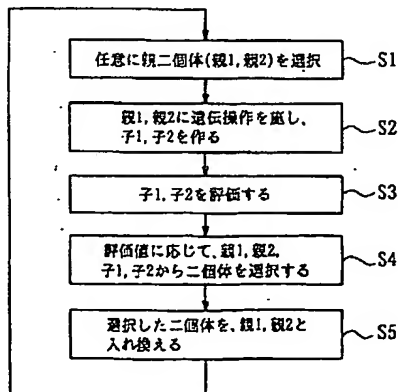
A D C アナログ-デジタルコンバータ回路

C P C 比較回路

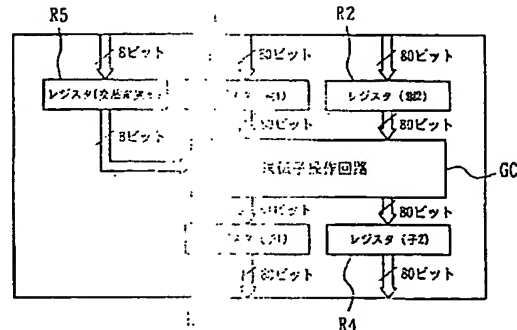
30 G A C 遺伝的アルゴリズム処理回路

* P L C P L C 回路

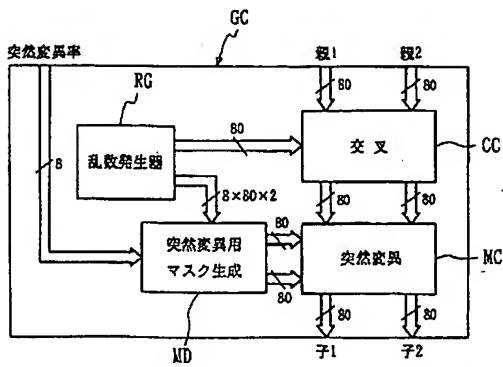
【図1】



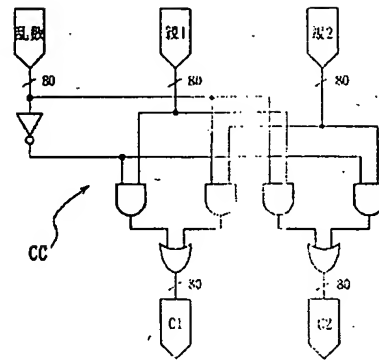
【図2】



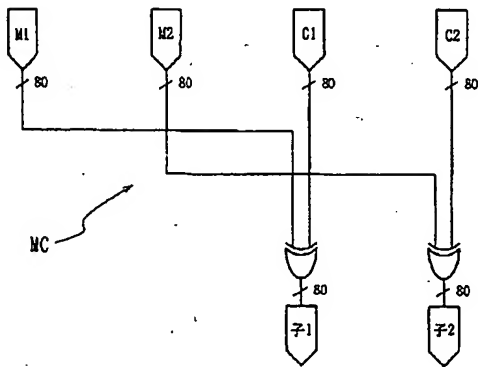
【図3】



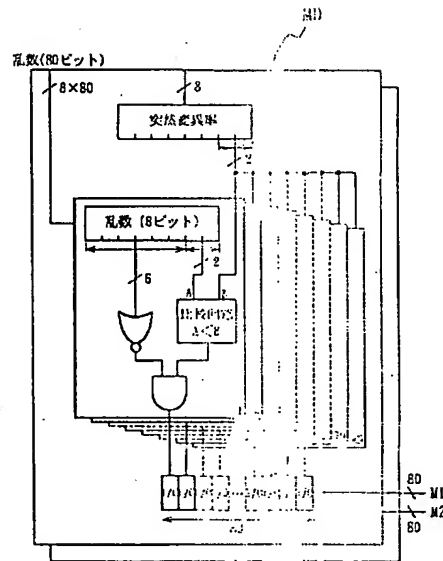
【図4】



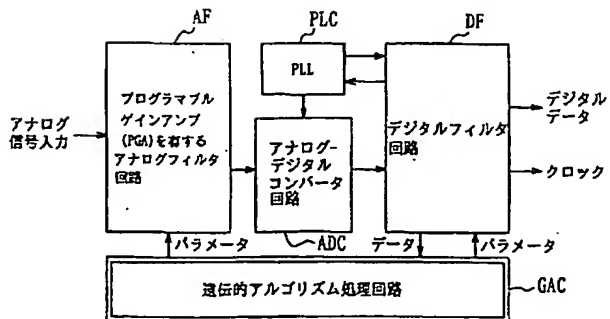
【図5】



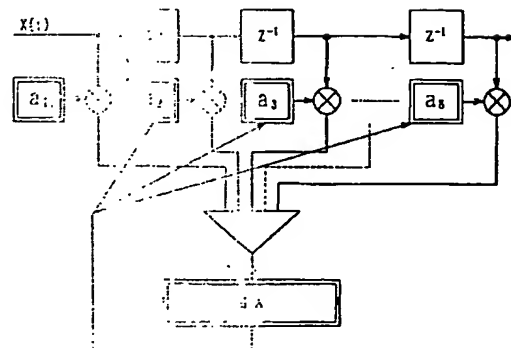
【図6】



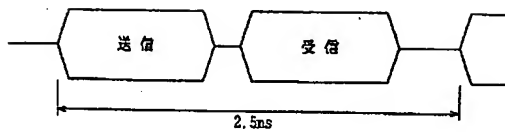
【図7】



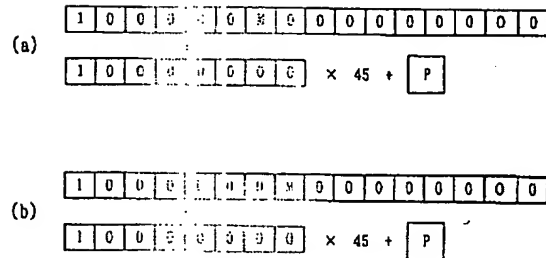
【図8】



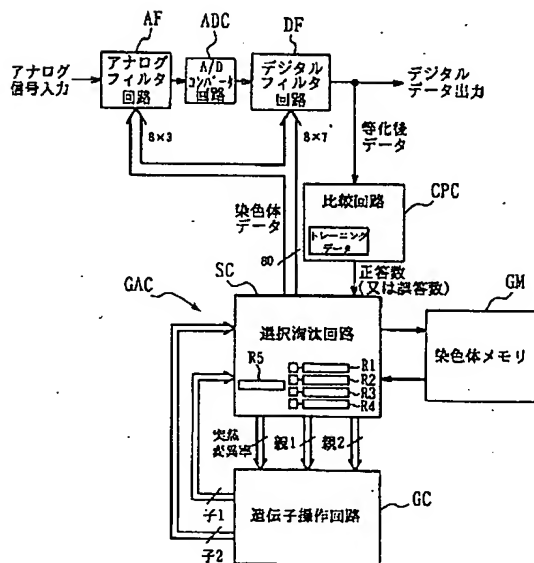
【図9】



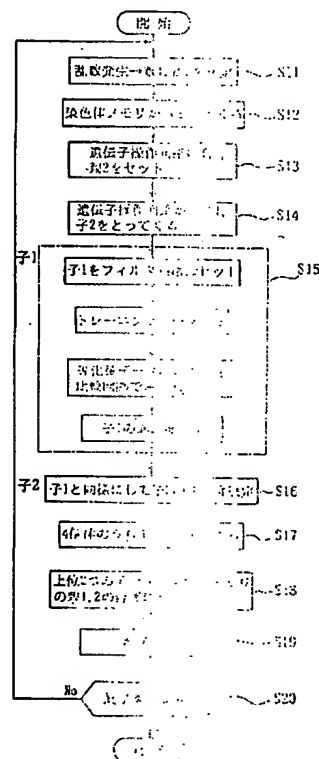
【図10】



【図11】



【図12】



フロントページの続き

(72)発明者 村川 正宏
茨城県つくば市梅園1丁目1番4 経済産業省産業技術総合研究所電子技術総合研究所内

(72)発明者 梶谷 勇
茨城県つくば市梅園1丁目1番4 経済産業省産業技術総合研究所電子技術総合研究所内

(72)発明者 梶谷 正也
茨城県つくば市梅園1丁目1番4 経済産業省産業技術総合研究所電子技術総合研究所内

(72)発明者 梶谷 正彦
茨城県つくば市西新宿3丁目7番1号 旭化成システム株式会社内
Fターミナル番号: 5E06 AA01 BA06 BB05 EE06
EE10 EF02 EF15 EF23 EF26